Laboratorio 4: "Uso de una FPGA"

Objetivos:

- Conocer y comprender la estructura interna de una FPGA y su tarjeta de desarrollo que será usada en el laboratorio, y los cuidados y recomendaciones para evitar deterioros.
- Conocer el procedimiento para la carga de aplicaciones en la tarjeta de desarrollo.
- Ajustar el diseño a un dispositivo determinado (fitter), asignando las señales con los pines de entrada y salida de acuerdo con las restricciones del diseño.
- Manejar un osciloscopio de señal mixta para realizar mediciones y así verificar el buen funcionamiento del diseño.

1 Recursos Disponibles

1.1 FPGA Spartan-3 de Xilinx

Una FPGA (Field-Programmable Gate Array) es un dispositivo programable basado en arreglos bidimensionales de bloques lógicos y celdas de almacenamiento interconectados entre sí de tal manera de permitir el diseño de funciones lógicas complejas. Existen varios tipos de FPGA en el mercado que difieren principalmente en su arquitectura interna, lo que también define su programación y eficiencia (retardos, área/volumen y costos).

En el laboratorio se usará una FPGA Spartan-3 de Xilinx, modelos XC3S200, XC3S400 y XC3S1000. La arquitectura Spartan-3 se basa en 5 bloques funcionales programables, estos son:

1. CLBs (Configurable Logic Blocks) que contienen tablas de búsqueda (look-up tables, o LUTS) para implementar elementos lógicos (como funciones booleanas) y de almacenamiento (como flip-flops o latches).
2. Bloques de entrada y salida (IOB, Input/Output Block) que controlan la entrada y salida de datos entre los pines de entrada/salida y la lógica interna. Cada IOB es bidireccional y soporta operaciones de tercer estado.
3. RAM para almacenamiento de bloques de datos de 18-Kbit.
4. Bloque de multiplicación para números de 18-bit.
5. Unidad DCM (Digital Clock Manager) que proporciona una solución digital para la multiplicación, división, retardo y control de fase de señales de reloj.

Los componentes de la familia de FPGAs Spartan-3 difieren principalmente entre sí en cuanto a la densidad y cantidad de elementos de cada bloque funcional del dispositivo específico, que también depende del tipo de encapsulado seleccionado. La Figura 1 resume la interconexión de estos bloques funcionales. Una descripción detallada se encuentra en la hoja de datos proporcionada por el fabricante que se encuentra disponible en el sitio de la asignatura.

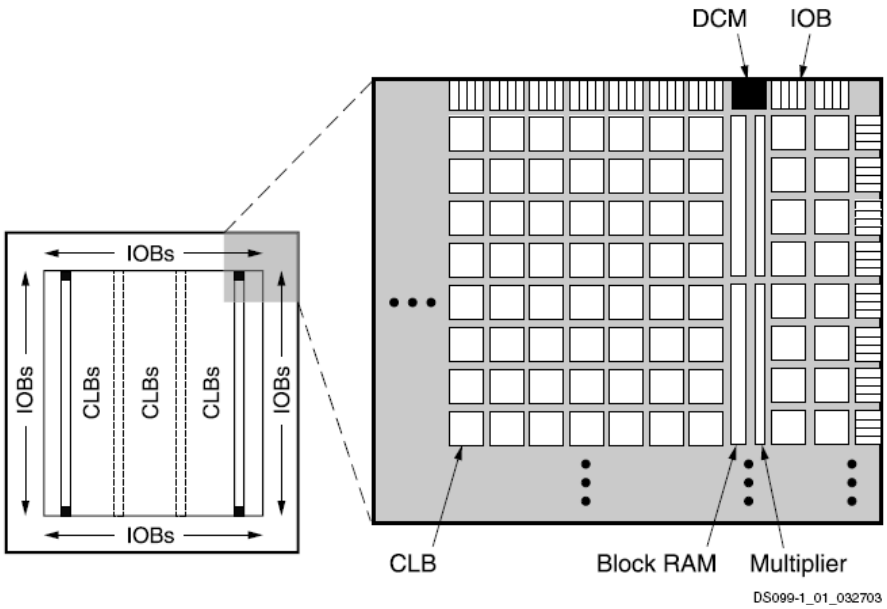

Figura 1: Arquitectura Interna de una FPGA de la Familia Spartan-3 de Xilinx

1.2 Tarjeta de Desarrollo Spartan-3 de Digilent

Para el laboratorio se usará una tarjeta de desarrollo Spartan-3 de Digilent, que contiene una FPGA Xilinx Spartan 3 FT256, dos memorias SDRAM de 256x16Kb, un oscilador de 50 Mhz, interfaz serial RS232, PS/2, puerto VGA, 4 display 7-segmentos, 8 led, 8 interruptores y 4 pulsadores. Un esquema de la configuración de la tarjeta de desarrollo se muestra en la Figura 2. En el sitio del curso existe una sección especial con material relacionado, que incluye el manual del usuario de la tarjeta de desarrollo. Se recomienda su lectura.

Para programar la tarjeta se utiliza el ISE Xilinx Design Suite, cuyo uso ya es familiar. Es necesario imprimir el esquema de conexiones de la tarjeta de desarrollo, pues para la asignación de pines en el proceso de ajuste (fitter) se utilizan los números de pines que allí aparecen.

Al realizar un diseño en Verilog, para ser implementado en la tarjeta, se debe tener en cuenta, mirando el esquemático de conexiones entre los dispositivos de la misma, que existen ciertos pines que no pueden ser declarados como salida, y otros que no pueden ser declarados como entrada.

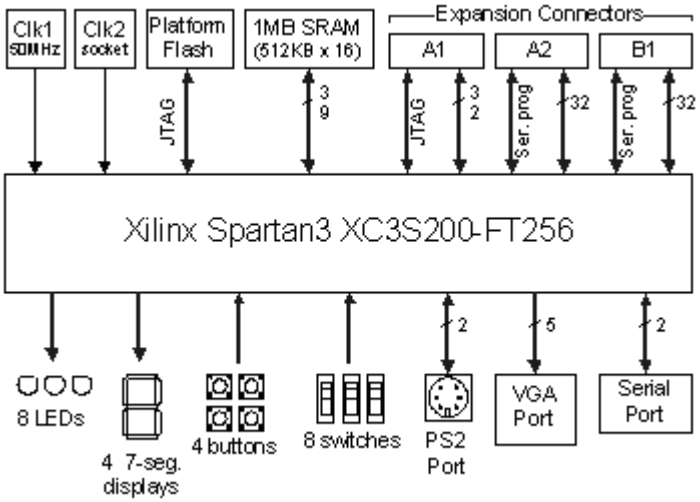

Figura 2: Arquitectura Tarjeta de Desarrollo Spartan-3 de Digilent

1.3 Tarjeta de Expansión para Pruebas DBB

Para realizar mediciones con el osciloscopio, se dispone de una tarjeta de expansión que proporciona el fabricante de la tarjeta de desarrollo Spartan-3 denominada DBB (Digital BreadBoard), que contiene un protoboard de 540 puntos (con tierra y Vcc pre-cableados) y 2 puertos de prueba de 40 pines cada uno. En el sitio de la asignatura se encuentra la hoja de datos y de conexiones de la tarjeta de expansión (dbb1x). Notar que la numeración de los puertos de la tarjeta de expansión no se corresponde con los puertos de la tarjeta de desarrollo. Por ejemplo, el pin 1 del puerto A1 de la tarjeta de desarrollo corresponde a GND en el puerto B1 en la tarjeta de expansión, el pin 2 corresponde a VU (5V), el pin 3 a VDD (3.3V), el pin 4 a PB38, …., el pin 39 a PB1, y el pin 40 al PB2.

2 Actividades Previas

2.1 Generador de Onda en Verilog

El siguiente programa ilustra la forma de programar un contador módulo 16, el que además genera una secuencia de salida que puede ser usado como generador de onda:

```
module wgen(clk, rst, Q, s);
input clk, rst;
output reg [0:3] Q;
output reg s;

   initial begin
      Q = 0; s = 0;
   end

   always @(posedge clk)
   begin
      Q <= Q + 1;
      if (rst == 1) Q <= 4'b0000;
      case (Q)
         0,1,7,9,11,12,14: s = 1;
```

```
            default: s = 0;
        endcase
    end
endmodule
```

Diseñe un módulo de prueba y visualice la forma de onda generada por la salida `s`.

2.2 Programación de una FPGA Xilinx

Estudiar el tutorial sobre el uso del compilador de Xilinx, para programar la tarjeta de desarrollo SPARTAN-3 de Digilent. Vea la configuración de pines de los conectores de salida A1 y A2. Revisar la hoja de datos del FPGA Spartan-3.

2.3 Asignación de Pines del Diseño

Seleccione el modelo Spartan-3 XC3S1000-FT256 y efectúe la síntesis del diseño del programa generador de onda del punto 2.1. Analizar el reporte de asignación de pines (ver Implement Design / Place & Route / Pad Report) que muestra la asignación de pines que el compilador empleó para las señales de entrada y salida.

Mediante las restricciones de usuario (User Constraints / Create Area Constrains), asigne las variables de entrada y salida con los pines físicos que se encuentran disponibles en la FPGA (utilizando la configuraciones de pines de la FPGA y puertos A1/A2 de la tarjeta de desarrollo). ¿Cuál es el pin que debe asignar para la entrada de reloj (`clk`)? Para la señal de reset (`rst`), asigne uno de los cuatro pulsadores disponibles en la tarjeta. ¿Qué función cumplen las resistencias conectadas a los interruptores y pulsadores? Vuelva a ejecutar la síntesis y revise nuevamente el reporte de asignación de pines.

3 En el Laboratorio.

3.0 Revisión Actividades Previas

Muestre al profesor o ayudantes la simulación temporal del módulo generador de onda del punto 2.1. Muestre las restricciones de usuario hechas al diseño anterior para el ajuste de pines de entrada y salida.

3.1 Circuito Generador de Onda

Sintetice el diseño del circuito generador de onda del punto 2.1 y visualice la onda de salida con el osciloscopio. Siga las indicaciones de los ayudantes para la carga del programa en la tarjeta de desarrollo.

3.2 Circuito Generador de Señales

Se requiere generar las formas de onda que se muestran en la Figura 3 en forma periódica. Realice las simulaciones temporales y funcionales correspondientes. También deben quedar disponibles como salidas las señales del contador módulo 29.

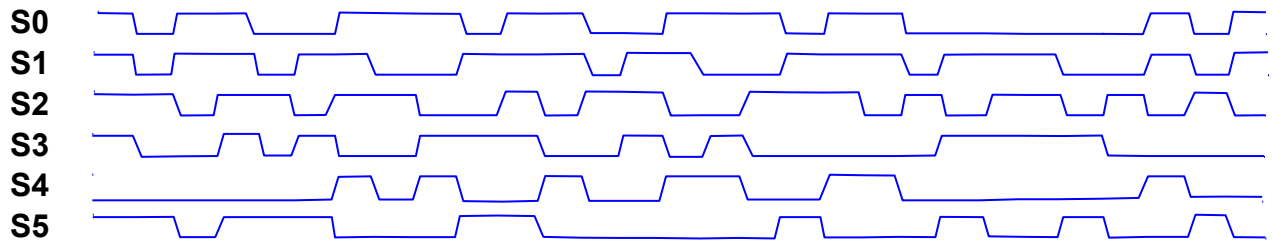

Figura 3: Formas de Onda

Implemente el diseño en la tarjeta de desarrollo y verifique su funcionamiento mediante el uso del osciloscopio. Visualice simultáneamente las señales S0 – S5. Sincronice el osciloscopio utilizando la opción de sincronismo *Pattern* (patrón) y explique cómo lo logra.

3.3 Ajuste del Periodo

La Figura 3 muestra un periodo de las formas de onda a generar. Implemente un módulo que permita ajustar este periodo a p_1, p_2 y p_3 (valores que le serán indicados por el profesor del paralelo) según la posición de dos interruptores. A su vez, validar la asignación de *set* y *reset* a dos pulsadores.